

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-69332

(43) 公開日 平成 8 年 (1996) 3 月 12 日

(51) Int. Cl.

G05F 1/56

H03F 1/26

識別記号

310 Y

庁内整理番号

8943-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平 6-205418
 (22) 出願日 平成 6 年 (1994) 8 月 30 日

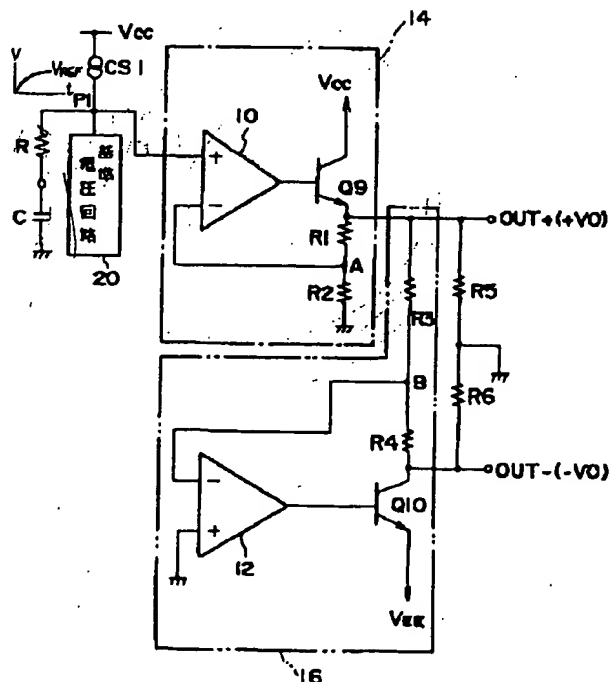
(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通 2 丁目 5 番 5 号
 (72) 発明者 松木 英夫
 大阪府守口市京阪本通 2 丁目 5 番 5 号 三
 洋電機株式会社内
 (72) 発明者 島田 一郎
 大阪府守口市京阪本通 2 丁目 5 番 5 号 三
 洋電機株式会社内
 (74) 代理人 弁理士 吉田 研二 (外 2 名)

(54) 【発明の名称】 電圧発生回路

(57) 【要約】

【目的】 簡単な構成で、電圧発生回路から出力される定電圧の立上りを、スロースタートとすることが可能な電圧発生回路を提供する。

【構成】 基準電圧回路 20 にスロースタート用コンデンサ C を併設し、定電圧回路 14 に出力される基準電圧 VREF の立上りを遅くした。また、基準電圧 VREF の供給を受ける定電圧回路 14 の差動増幅器 10 を、基準電圧 VREF の立上がり (例えば 0 V の時) から動作可能とし、基準電圧 VREF に応じた定電圧 +V0 を出力することとした。これにより、出力トランジスタ Q9 から出力される定電圧 +V0 がゆっくり立ち上がる。よって、この定電圧 +V0 が供給される動作回路等では負荷の大きさに影響を受けることなく、オーディオの信号処理系等の電源回路に用いた場合、電源投入時にポップ音やノイズが発生することを防止できる。



【特許請求の範囲】

【請求項 1】 基準電圧を発生する基準電圧回路と、前記基準電圧に応じて定電圧を発生する定電圧回路と、を有する電圧発生回路であって、

前記定電圧回路は、

一方の入力端子に前記基準電圧が供給され、前記基準電圧の立上がりから前記基準電圧に応じた電圧を出力する差動増幅器と、

前記差動増幅器の出力端に接続され、前記差動増幅器から出力される電圧に応じた電流を流す出力トランジスタと、

前記出力トランジスタの出力側に接続され、前記出力トランジスタの出力側の電圧を分圧する分圧抵抗と、

前記分圧された電圧と前記基準電圧とを等しく制御するために、前記分圧された電圧を前記差動増幅器の他方の入力端子に供給する帰還路と、

を有し、

前記基準電圧回路には、電源投入時に前記基準電圧をゆっくり立ち上げるためのスロースタート用コンデンサが接続され、

前記定電圧回路が、ゆっくり立ち上がる前記定電圧を出力することを特徴とする電圧発生回路。

【請求項 2】 請求項 1 記載の電圧発生回路において、前記差動増幅器は、PNP 型トランジスタの差動入力をも有し、

前記差動入力の PNP 型トランジスタには、それぞれ PNP 型トランジスタがダーリントン接続されていることを特徴とする電圧発生回路。

【請求項 3】 請求項 1 または請求項 2 のいずれかに記載の電圧発生回路において、

更に、前記定電圧回路から出力される前記定電圧を極性反転して出力する反転定電圧回路を有することを特徴とする電圧発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、オーディオアンプ等、オーディオ信号処理回路等に定電圧を供給する電圧発生回路の構成に関する。

【0002】

【従来の技術】 従来より、オーディオアンプ等の信号処理系回路等に動作用の定電圧を供給する電圧発生回路として、図 4 に示すような基準電源回路及び定電圧回路からなる回路が用いられている。

【0003】 図 4 において、電源スイッチのオン操作等により外部から電源投入命令が装置に供給されると、共通電源 (VCC) が立上がる。これにより、基準電圧回路 20 には、共通電源 (VCC) に接続された定電流源 CS 20 から定電流が供給される。基準電圧回路 20 は、トランジスタのバンドギャップを利用した定電圧発生回路であり、定電流の供給を受けて基準電圧 VREF を発生

し、これを定電圧回路 22 に供給する回路である。そして、基準電圧回路 20 の出力である基準電圧 VREF は、電源投入命令に応じ 0 V から比較的急峻にその電圧値が立ち上がる。

【0004】 定電圧回路 22 は、差動増幅器 24 と、出力トランジスタ Q 24 及びこの出力トランジスタの出力側に接続された分圧抵抗 R 1、R 2 とを有している。

【0005】 差動増幅器 24 は、差動入力である NPN 型のトランジスタ (以下差動入力トランジスタという) Q 20、Q 23 と、この差動入力トランジスタ Q 20、Q 23 の上流側に設けられたカレントミラー回路とから構成されている。

【0006】 ここで、カレントミラー回路は、共通電源 (VCC) にエミッタが接続された PNP 型の入力側トランジスタ Q 21 と、同じく共通電源 (VCC) にエミッタが接続された PNP 型の出力側トランジスタ Q 22 とから構成されている。

【0007】 また、差動増幅器 24 は、その一方の差動入力トランジスタ Q 20 のベースが、基準電圧回路 20 に接続されており、他方の差動入力トランジスタ Q 23 のベースは、帰還路を介して分圧抵抗 R 1 と R 2 との接続点 A に接続されている。

【0008】 この差動増幅器 24 は、差動入力トランジスタ Q 22 のベースに印加される基準電圧 VREF と、分圧抵抗 R 1 と R 2 との接続点 A における検出電圧とが等しくなるように、所定の電圧を出力トランジスタ Q 24 のベースに供給する。そして、出力トランジスタ Q 24 には、差動増幅器 24 から供給される電圧に応じたコレクタ電流が流れる。接続点 A の電圧が基準電圧 VREF に保持されるため、分圧抵抗 R 1 と R 2 との比で決定される定電圧 + V0 が、出力端子 OUT から他の動作回路等 (図示せず) に出力される。

【0009】

【発明が解決しようとする課題】 しかしながら、バンドギャップを利用した基準電圧回路 20 から出力される基準電圧 VREF は、その立ち上がりが比較的急峻であり、この基準電圧 VREF に応じて定電圧回路 22 から出力される出力電圧 + V0 も、図 3 に実線で示すように短時間 (例えば電源投入時から数十 msec) で急峻に立ち上がる。

【0010】 このような電圧発生回路をオーディオの信号処理系回路の電源回路として用いた場合には、各動作回路での DC バイアスレベルが安定しない状態で、この動作回路が動作してしまうことがある。よって、各種動作回路の出力電圧にアンバランス等が発生し、これに起因して信号の入力がないにもかかわらずスピーカに対して電流が供給され、いわゆるポップ音やノイズ等が発生するという問題があった。

【0011】 そこで、このポップ音やノイズを防止するために、各回路にミュート回路等を設け、回路の DC バ

3

イアスレベルが安定してから各回路に定電圧+V₀ を供給していた。しかし、このようなミュート回路を設けると、それだけ回路規模が大きくなり、コストが上昇する等の問題があった。

【0012】本発明は、このような課題を解決するためになされたもので、簡単な構成で、電源投入時に電圧発生回路から出力される定電圧をゆっくり立ち上げることが可能な電圧発生回路を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係る電圧発生回路は、以下のような特徴を有する。

【0014】基準電圧を発生する基準電圧回路と、前記基準電圧に応じて定電圧を発生する定電圧回路と、を有する電圧発生回路であって、前記定電圧回路は、一方の入力端子に前記基準電圧が供給され、前記基準電圧の立ち上がりから前記基準電圧に応じた電圧を出力する差動増幅器と、前記差動増幅器の出力端に接続され、前記差動増幅器から出力される電圧に応じた電流を流す出力トランジスタと、前記出力トランジスタの出力側に接続され、前記出力トランジスタの出力側の電圧を分圧する分圧抵抗と、前記分圧された電圧と前記基準電圧とを等しく制御するために、前記分圧された電圧を前記差動増幅器の他方の入力端子に供給する帰還路と、を有し、前記基準電圧回路には、電源投入時に前記基準電圧をゆっくり立ち上げるためのスロースタート用コンデンサが接続され、前記定電圧回路が、ゆっくり立ち上がる前記定電圧を出力することを特徴とする。

【0015】前記差動増幅器は、PNP型トランジスタの差動入力に有し、前記差動入力のPNP型トランジスタには、それぞれPNP型トランジスタがダーリントン接続されていることを特徴とする。

【0016】更に、前記定電圧回路から出力される前記定電圧を極性反転して出力する反転定電圧回路を有することを特徴とする。

【0017】

【作用】本発明に係る電圧発生回路では、基準電圧回路にスロースタート用コンデンサを設け、定電圧回路に出力される基準電圧の立ち上がりを遅くした。また、基準電圧回路から基準電圧の供給を受ける差動増幅器を、基準電圧の立ち上がり（例えば0Vの時）から動作可能とし、定電圧回路から基準電圧に応じた定電圧を継続的に出力することとした。

【0018】このような構成とすることにより本発明の電圧発生回路は、電源投入時に定電圧回路から出力される定電圧がゆっくり立ち上がる。従って、この定電圧の供給を受けて動作する動作回路等は、負荷の大きさに影響されずにほぼ同じスピードでゆっくり立ち上がることができる。よって、オーディオの信号処理系等の電圧発生回路として用いた場合に、信号系の各動作回路はその

4

DCバイアスレベルが安定した状態で動作を開始するため、電源投入時にポップ音やノイズ等が発生することを防止できる。

【0019】特に、差動増幅器の差動入力を、PNPトランジスタのダーリントン接続としたので、この差動増幅器に供給される基準電圧が極めて低い電圧値のときから、差動増幅器が動作可能となり、定電圧回路から基準電圧に応じてゆっくり立ち上がる定電圧を出力することができる。

【0020】更に、定電圧回路から出力される定電圧を極性反転した反転定電圧を出力する反転定電圧回路を設けることとした。これにより、本発明の電圧発生回路を、デュアルトラッキングのオーディオの信号処理系に用いた場合にも、正極性側の駆動回路と負極性側の駆動回路との負荷の相違にかかわらず、両方の駆動回路を同様にゆっくり立ち上げることができる。従って、両方の回路がアンバランスに動作することを防止でき、ポップ音やノイズ等の発生をより確実に防止することが可能である。

【0021】

【実施例】以下、本発明の実施例について説明する。なお、以下に説明する図面においては、既に説明した図面と同一部分には同一符号を付して説明を省略する。

【0022】図1において、基準電圧回路20には従来同様に、電源投入命令に応じて定電流源CS1から所定の定電流が供給され、これに応じて基準電圧回路20は基準電圧VREFを発生する。ここで、基準電圧回路20は、定電流源CS1からの定電流を受けて、この電流量に応じた電圧を発生するものである。

【0023】そして、本実施例においては、基準電圧回路20と定電流源CS1との接続点P1に、抵抗Rを介して一端側が接地されたスロースタート用コンデンサCが接続されている。この基準電圧回路20に供給される定電流がスロースタート用コンデンサCによって徐々に立ち上がると、基準電圧回路20はこれに応じて立ち上がる基準電圧を発生する。更に、基準電圧回路20から接続点P1を介して差動増幅器10に供給される基準電圧VREFについても、コンデンサCの容量と抵抗Rの抵抗値に応じてその立ち上がりが遅延する。

【0024】従って、接続点P1に接続された差動増幅器10の一方の入力端子には、電源投入命令から所定の電圧（例えば1.2V）まで、0Vからゆっくり立ち上がる基準電圧VREFが供給されることとなる。

【0025】なお、このスロースタート用コンデンサCの接続位置に関しては、上記構成に限られず、基準電圧回路20への定電流の入力側にスロースタート用コンデンサCを設け、基準電圧回路20から出力される基準電圧VREFを直接差動増幅器10の入力端子に供給する構成としてもよい。また、基準電圧回路20の出力側、すなわち基準電圧回路20と差動増幅器10の入力端子と

50

の経路にスロースタート用コンデンサCを設け、差動増幅器10に供給される基準電圧VREFを直接遅延させる構成としてもよい。

【0026】差動増幅器10は、一方の入力端子に供給される基準電圧VREFに応じた所定の電圧を、基準電圧VREFが0VのときからNPN型の出力トランジスタQ9のベースに出力する。

【0027】出力トランジスタQ9は、そのコレクタが共通電源(VCC)に接続され、エミッタが分圧抵抗R1の一端(上流)側に接続されており、出力トランジスタQ9には、ベースに出力される上記電圧に応じたエミッタ電流が流れる。そして、このエミッタ電流に応じて発生した定電圧+V0が、出力トランジスタQ9と分圧抵抗R1との接続点から、出力端子OUT+を介して出力される。

【0028】なお、差動増幅器10の他方の入力端子は、分圧抵抗R1とR2との接続点Aに接続されている。ここで、分圧抵抗R1、R2は、分圧抵抗R1の上流側(出力トランジスタQ9の出力側)で発生する定電圧+V0を分圧しており、この分圧された接続点Aにおける検出電圧が、帰還路によって差動増幅器10の他方の入力端子に供給されている。そして、差動増幅器10は、基準電圧VREFと、接続点Aにおける検出電圧とが等しくなるように動作する。

【0029】また、本発明の電圧発生回路をデュアルトラッキングのオーディオの信号処理系の電源回路として用いる場合には、図1に示すように、例えば反転定電圧回路16を設け、出力定電圧+V0をミラー的に反転して出力定電圧-V0を出力端子OUT-から出力する構成とする。

【0030】この反転定電圧回路16は、差動増幅器12、NPN型の出力トランジスタQ10、更に出力端子OUT+と出力トランジスタQ10のコレクタとの間にこの順に接続された分圧抵抗R3、R4によって構成されている。

【0031】出力トランジスタQ10は、そのエミッタに所定の下側電源(VEE)が接続され、コレクタに分圧抵抗R4が接続されており、差動増幅器12から出力される電圧に応じたコレクタ電流を流す。

【0032】差動増幅器12は、その一方の入力端子が接地され、他方の入力端子が分圧抵抗R3、R4の接続点Bに接続されている。この差動増幅器12は、接続点Bの電圧がGNDレベルとなるように出力トランジスタQ10に所定の電圧を出力する。そして、分圧抵抗R3とR4との抵抗比が1である場合には、接続点Bの電圧(GNDレベル:0V)を基準として定電圧+V0を極性反転した定電圧-V0が、出力トランジスタQ10のコレクタ側から出力される。

【0033】また、図1において、出力端子OUT+と出力端子OUT-との間には分圧抵抗R3、R4と並列

して、抵抗R5、R6がこの順に直列接続され、この抵抗R5とR6との接続点が接地されている。このように抵抗R5、R6を設けることにより、出力端子OUT±から出力される定電圧±V0をより安定して立ち上げることができる。

【0034】次に、本実施例の差動増幅器10の具体的な回路構成について図2を用いて説明する。

【0035】差動増幅器10の差動入力であるPNP型の差動入力トランジスタQ2、Q5は、それぞれそのベースにPNP型の入力トランジスタQ1、Q6のエミッタが接続されており、PNPのダーリントン接続となっている。

【0036】入力トランジスタQ1のベースは、定電流源CS1と基準電圧回路20との接続点P1に接続され、一方、入力トランジスタQ6のベースは、分圧抵抗R1とR2との接続点Aに接続されている。

【0037】入力トランジスタQ1のエミッタと差動入力トランジスタQ2のベースとの接続点P2には、共通電源(VCC)に接続された定電流源CS2からの定電流が供給されており、入力トランジスタQ6と差動入力トランジスタQ5のベースとの接続点P5には、共通電源(VCC)に接続された定電流源CS4からの定電流が供給されている。

【0038】また、差動入力トランジスタQ2、Q5のエミッタには定電流源CS3からの定電流が供給されており、このトランジスタQ2、Q5のコレクタ側にはカレントミラー回路が設けられている。

【0039】カレントミラー回路は、NPN型の入力側トランジスタQ3及び出力側トランジスタQ4によって構成され、そのエミッタはそれぞれ抵抗を介してGNDに接続されている。入力側トランジスタQ3のコレクタ及び共通ベースは、トランジスタQ2のコレクタに接続され、出力側トランジスタQ4のコレクタは、トランジスタQ5のコレクタに接続されている。

【0040】トランジスタQ5のコレクタとカレントミラー回路の出力側トランジスタQ4のコレクタとの接続点P4には、PNP型のトランジスタQ7のベースが接続されている。このトランジスタQ7のエミッタは、共通電源(VCC)に接続されており、トランジスタQ7のコレクタは、抵抗を介してGNDに接続され、更にNPN型のトランジスタQ8のベースが接続されている。そして、トランジスタQ8のエミッタは、抵抗を介してGNDに接続され、コレクタは定電流源CS5を介して共通電源(VCC)に接続されている。

【0041】定電流源CS5とトランジスタQ8のコレクタとの接続点P7には、NPN型の出力トランジスタQ9のベースが接続されている。この出力トランジスタQ9のコレクタは共通電源(VCC)に接続されており、一方出力トランジスタQ9のエミッタには、分圧抵抗R1、R2がこの順で接続され、分圧抵抗R2の一端がG

NDに接続されている。また、出力トランジスタQ9のエミッタと分圧抵抗R1との接続点には出力端子OUT+が設けられている。

【0042】次に、図2の回路の動作について説明する。

【0043】トランジスタQ1のベースに供給される基準電圧VREFが0Vの時には、A点も0Vとなり、出力端子OUT+から出力される定電圧V0も0Vとなる。

【0044】基準電圧VREFは、既に説明したようにスロースタート用コンデンサCによって、0Vから徐々に立ち上がる。そして、基準電圧VREFが0Vから上昇するにつれて、トランジスタQ1はオフぎみになり、これに応じてカレントミラー回路の入力側トランジスタQ3のコレクタ電流が少なくなり、同様に出力側トランジスタQ4のコレクタ電流も少なくなる。ところが、接続点P4には、定電流源CS3から定電流が供給されているため、カレントミラー回路の出力側トランジスタQ4のコレクタ電流が少なくなるにつれて、接続点P4における電位が上昇する。

【0045】なお、本実施例では差動増幅器10の差動入力部をPNPのダーリントン接続としているので、基準電圧VREFがトランジスタQ1のベースに供給されると、差動入力トランジスタQ2のベースには、基準電圧VREFよりVBEだけ高い電圧が印加される。よって、接続点P3の電位は、常にVBE以上となり、カレントミラー回路は基準電圧VREFが0Vの時から好適に動作することができる。

【0046】また、PNP型のトランジスタQ7は、接続点P4の電位の上昇に応じてオフぎみとなり、P6点の電位は低下する。そして、NPN型のトランジスタQ8もオフぎみとなる。更に、定電流源CS5から定電流の供給を受けるP7点の電位が上昇して出力トランジスタQ9が駆動され、この出力トランジスタQ9のエミッタ電流に応じて、分圧抵抗R1の上流側に分圧抵抗R1、R2の和に応じた電圧が発生する。

【0047】発生した電圧は、分圧抵抗R1とR2とによって分圧され、この電圧に応じた検出電圧が接続点Aから帰還路を介してトランジスタQ6、Q5によってフィードバックされる。そして、差動増幅器10は接続点Aにおける電圧が基準電圧VREFと等しくなるように、出力トランジスタQ9のベースに所定の電圧を出力する。よって、分圧抵抗R1とR2との抵抗比によって決定される定電圧+V0が、分圧抵抗R1の上流側に発生することとなり、基準電圧VREFの立ち上がりに応じ、基準電圧VREFが一定となるまで徐々にその電圧値が上昇する図3の一点鎖線に示すような定電圧+V0が出力端子OUT+から出力される。

【0048】なお、図1の差動増幅器12の回路構成は、図2の差動増幅器10の回路構成とほぼ同一である。但し、差動増幅器12の場合には、PNP型のトラ

ンジスタQ1のベースはGNDに接続されており、PNP型のトランジスタQ6のベースは図1の分圧抵抗R4とR3との接続点Bに接続されている。更に、定電流源CS5とNPN型トランジスタQ8の接続点P7には、図1のようにNPN型の出力トランジスタQ10のベースが接続されている。

【0049】そして、図1の出力トランジスタQ10のコレクタと分圧抵抗R3との間に設けられた出力端子OUT-から、図3に二点鎖線で示すような定電圧-V0を極性反転した定電圧-V0が出力される。

【0050】図3から明らかなように、従来の電圧発生回路においては、実線で示す定電圧V0は、電源投入命令に対して極めて短時間（例えば数msec）で立ち上がっていた。ところが本実施例では、基準電圧VREFをゆっくり立ち上げ、更に定電圧回路14、反転定電圧回路16の差動増幅器10、12を基準電圧VREFが0Vの時から動作させることにより、出力端子OUT±から後段の動作回路等に出力される定電圧±V0を0Vからゆっくり（例えば数sec）立ち上げることができる。

【0051】よって、この定電圧±V0の供給を受けて動作する後段の駆動回路等は、負荷の大きさに影響されずに、出力された定電圧±V0の立ち上がりに応じて、ほぼ同じスピードで安定して立ち上げることができる。

【0052】更に、このような電圧発生回路を、オーディオの信号処理系等の電源回路として用いた場合には、電源投入時に各動作回路が誤動作しないのでポップ音やノイズ等の発生を防止することができる。特に、デュアルトラックのオーディオの信号処理系では、一般的に、正極性側の回路の負荷は重く、負極性側の回路の負荷は軽く構成されている。ところが、本実施例のように定電圧をゆっくり立ち上げれば、負荷の大きさに影響を受けない。よって、正極性側の回路と負極性側の回路とで立ち上がりのスピードがばらつかず、各回路がアンバランスに動作してスピーカに電流が流れてしまうことを防止でき、ポップ音やノイズ等の発生をより確実に防止することが可能となり、極めて効果が高い。

【0053】なお、上記実施例では、差動増幅器10を基準電圧VREFが0Vの時から動作させるための構成として、差動入力部をPNPのダーリントン接続とする構成について説明したが、この構成には限らない。例えば、基準電圧VREFを図2の差動入力トランジスタQ2に直接供給し、カレントミラー回路の下流側に設けられた抵抗を、GNDではない別の下側電源（VEE）に接続する構成としてもよい。この場合、電源電圧VEEを十分低い電圧に制御すれば、差動増幅器10を基準電圧VREFが0Vから動作させることができる。なお、このとき接続点Aには、差動入力トランジスタQ5のベースを直接接続するものとする。

【0054】更に、差動増幅器10、12及び出力トランジスタQ9、Q10の極性は図1、2に示したものに

幅器に供給される基準電圧が極めて低い電圧値のときから、差動増幅器が動作可能となり、定電圧回路から基準電圧に応じてゆっくり立ち上がる定電圧を出力することができる。

【0059】更に、定電圧回路から出力される定電圧を極性反転した反転定電圧を出力する反転定電圧回路を設けることとした。これにより、本発明の電圧発生回路を、デュアルトラッキングのオーディオの信号処理系に用いた場合にも、正極性側の駆動回路と負極性側の駆動回路との負荷の相違にかかわらず、両方の駆動回路を同様にゆっくり立ち上げることができる。従って、両方の回路がアンバランスに動作することを防止でき、ポップ音やノイズ等の発生をより確実に防止することが可能である。

【発明の効果】以上説明したように、本発明に係る電圧発生回路では、基準電圧回路にスロースタート用コンデンサを設け、定電圧回路に出力される基準電圧の立上がりを遅くした。

【図 1】本発明の実施例に係る電圧発生回路の概略構成図である。

【図2】図1の電圧発生回路の差動増幅器10の回路構成を説明するための図である。

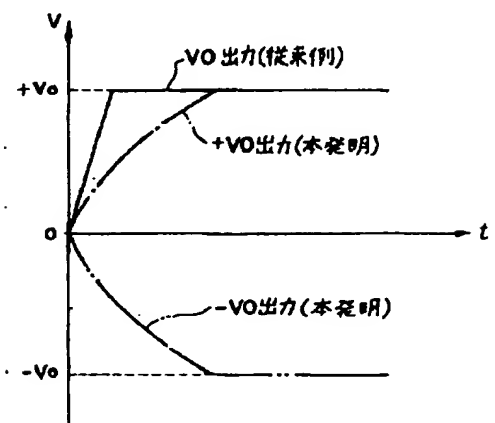
【0058】特に、差動増幅器の差動入力を、PNPトランジスタのダーリントン接続としたので、この差動増

【図4】従来の電圧発生回路の概略回路構成図である。

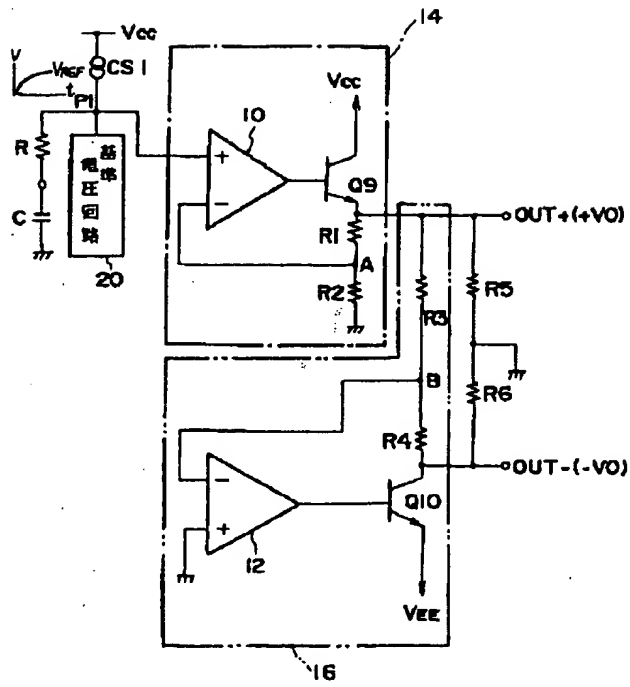
【符号の説明】

10、12 差動增幅器
14 定電壓回路
16 反轉定電壓回路
20 基準電壓回路

【図 3】



【図 1】



【図 4】

